

中華民國專利公報 [19] [12]

[11]公告編號：519599

[44]中華民國 92年(2003) 02月01日
發明

全14頁

[51] Int.Cl⁰⁷ : G06F9/00

[54]名稱：結合低耗能指令集在編譯器之元件流程分析結構與方法

[21]申請案號：090115630 [22]申請日期：中華民國 90年(2001) 06月27日

[72]發明人：

李政崑

臺南市北區北園街一二八巷二十之二號

游逸平

臺中縣烏日鄉五光路復光六巷七十七號

李景仁

高雄市左營區重光路十四號

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種結合低耗能指令集在編譯器之元件流程分析結構，包含有：

一建構控制流程圖模組，建構一個有向圖，該有向圖將輸入的原始指令碼切割成複數個基本區塊，並依照流程順序將控制流程資訊加入該輸入之原始指令碼的區塊的集合裡，而不同基本區塊間的流程順序係以建立鏈結來表示流程；

一元件為主資料流方程式分析模組，根據該有向圖來分析每個指令使用處理器中元件的狀態，並利用一資料流分析方式，算出每個時序中狀態為活動的元件；以及

一指令碼最佳化模組，從該元件為

5.

10.

15.

主資料流方程式分析模組得到每個元件的活動狀況，找出元件在連續幾個指令週期下，狀態都為休眠的指令區間，在該指令區間前加入一個休眠功能，讓該元件休眠以節省能源。

2.如申請專利範圍第1項所述之元件流程分析結構，其中該元件為主資料流方程式分析模組更包含下列子模組：

一第一模組，用以計算在該有向圖裡每一個區塊的元件產生集合，和每一區塊使用元件所須要的時序數；以及

一第二模組，用以計算在該有向圖

- 裡每一個區塊的元件進入集合、元件消滅集合和元件離開集合。
- 3.如申請專利範圍第1項所述之元件流程分析結構，其中對不同的元件硬體設計，提供相對應的休眠功能。
 - 4.如申請專利範圍第3項所述之元件流程分析結構，其中若該元件提供開/關硬體設計，則該元件依指令或指令集的下達，切斷其電源之提供，使該元件從耗電狀態轉為不耗電狀態。
 - 5.如申請專利範圍第3項所述之元件流程分析結構，其中若該元件僅提供低耗電硬體設計，則該元件依指令或指令集的下達，降低其電源之提供，使該元件從耗電狀態轉為低耗電狀態。
 - 6.一種結合低耗能指令集在編譯器之元件流程分析方法，包含下列步驟：
 (a)建構一控制流程圖，該控制流程圖將輸入的原始指令碼切割成複數個基本區塊，並依照流程順序將控制流程資訊加入該輸入之原始指令碼的區塊的集合裡，且在不同基本區塊間以建立鏈結來表示流程順序；
 (b)根據該控制流程圖來分析每個指令使用處理器中元件的狀態，並利用一資料流分析方式，算出每個時序中狀態為活動的元件；以及
 (c)從該元件為主資料流方程式分析模組得到每個元件的活動狀況，找出元件在連續幾個指令週期下，狀態都為休眠的指令區間，並將該原始指令碼最佳化，以使該元件休眠而節省能源。
 - 7.如申請專利範圍第6項所述之元件流程分析方法，其中該步驟(a)之控制流程圖之建構依序更包含下列四個步驟：

- (a1)決定原始程式碼中那些敘述為基本區塊的首引；
 (a2)對每一個首引，組成一個基本區塊，以首引為基本區塊的開頭，包含所有以下的敘述，但不包含下一個首引之後的敘述；
 (a3)依照該原始程式，建立鏈結以連接不同基本區塊來表示流程；以及
 (a4)將該基本區塊中的每一個敘述畫分為一個區塊。
- 8.如申請專利範圍第6項所述之元件流程分析方法，其中該步驟(b)依序更包含下列兩個步驟：
 (b1)計算在該控制流程圖裡每一個區塊的元件產生集合，和每一區塊使用元件所須要的時序數；以及
 (b2)計算在該控制流程圖裡每一個區塊的元件進入集合、元件消滅集合和元件離開集合。
 10. 9.如申請專利範圍第6項所述之元件流程分析方法，其中該步驟(c)之控制流程圖之建構依序更包含下列四個步驟：
 (c1)在每一區塊 B_i 中，建構屬於該區塊 B_i 的活動集合與休眠集合，活動集合指該區塊中活動元件的集合，休眠集合則指該區塊中休眠元件的集合，活動集合即為該區塊的離開集合，休眠集合為全集合與活動集合做差集的結果；
 (c2)對每一個基本區塊，將其中所有區塊的休眠集合依序兩兩交集，並將結果存放於另一陣列中，再對此陣列中的集合依序兩兩交集，再存放至另一陣列中，重覆此動作直到陣列中所有集合皆為空集合為止。第一次兩兩交集的結果存放於 R_2 ，第二次兩兩交集的結果存放於 R_3 ，以此類推，假設一共做了1次交集，即 R_{i+1} 內所有的集合皆為空集合；
 - 15.
 - 20.
 - 25.
 - 30.
 - 35.
 - 40.

(c3)針對 R_i 中所有不為空集合的集合，假設該集合為 R_i 中第 j 個集合，對該集合中的所有元件做下列動作：若 l 大於該元件的 L_{Const} ，則記錄此元件可在第 j 個區塊前插入休眠功能的資訊，並連同區間 $(j, j+i)$ 的資訊也記錄下來，做為往後檢視用。其中在記錄資訊前先檢視該元件與該區間是否包含於已記錄區間，若上述情形成立，則跳過記錄的動作；以及

(c4)依據該記錄，在該程式碼中插入該元件的休眠功能指令。

10.如專利申請範圍第 6 項所述之元件流程分析方法，其中該步驟(b1)依序更包含下列三個步驟：

(b11)對每一個區塊針對欲分析的每一元件，新增一個二維陣列的參數 $CycleCount$ ，並且將 $CycleCount$ 所有的元素的初始值皆設為 0，亦即 $CycleCount[B_i][C_j]=0$ ，其中 $1 \leq i \leq k$ ， $1 \leq j \leq n$ ， $CycleCount[B_i][C_j]$ 用來表示區塊 B_i 使用元件 C_j 所需要的時序數；

(b12)在每一區塊中，建構屬於該區塊的元件產生集合 $Comp_gen\ set$ ，並且將此集合的初始值設為空集合；以及

(b13)依指令的執行順序，對每一區塊 B_i 中的指令做下列動作：

從指令與元件使用的對照表中查得該使令與元件使用的關係，假設該指令使用 C_1 元件 CC_1 個時序、 C_2 元件 CC_2 個時序、...、 C_n 元件 CC_n 個時序，則將時序數不為 0 的元件加入該區塊的產生集合中，並且將 $CycleCount[B_i][C_1]$ 的值加上 CC_1 、 $CycleCount[B_i][C_2]$ 的值加上 CC_2 、...、 $CycleCount[B_i][C_n]$ 的值加上 CC_n 。

11.如專利申請範圍第 6 項所述之元件流程分析方法，其中該步驟(b2)依序更包含下列三個步驟：

5. (b21)在每一區塊 B_i 中，建構屬於該區塊 B_i 的元件進入集合 $comp_in[B_i]$ 、元件消滅集合 $comp_kill[B_i]$ 及元件離開集合 $comp_out[B_i]$ ，元件進入集合 $comp_in[B_i]$ 與元件消滅集合 $comp_kill[B_i]$ 的初始值設為空集合，元件離開集合 $comp_out[B_i]$ 的初始值設為該區塊的元件產生集合 $comp_gen[B_i]$ ；

(b22)對每一區塊 B_i 做下列動作：

15. (b22a)對每一個欲分析元件 C_j ，比較 B_i 的所有前區塊($predecessor$)的 $CycleCount[B_i][C_j]$ 值，取其最大值，假設此最大值為 $CCmax$ ，若 $CCmax$ 不為 0，則將 $CCmax$ 的值減 1，若減 1 後的值為 0，則將元件 C 加入該區塊的元件消滅集合 $comp_kill[B_i]$ 中，若 $(CCmax-1)$ 的值大於 $CycleCount[B_i][C_j]$ 的值，則將 $CycleCount[B_i][C_j]$ 的值設為 $(CCmax-1)$ ，

20. (b22b)將該區塊的元件進入集合 $comp_in[B_i]$ 設為該區塊所有前區塊的元件離開集合 $comp_out[B_i]$ 的聯集，亦即 $comp_in[B_i] = \cup comp_out[P]$ ，其中 P 為 B_i 的前區塊，

(b22c)將該區塊的元件離開集合 $comp_out[B_i]$ 設為該區塊元件進入集合 $comp_in[B_i]$ 與元件消滅集合 $comp_kill[B_i]$ 的差集後，再與元件產生集合 $comp_gen[B_i]$ 作聯集，亦即 $comp_out[B_i] = comp_gen[B_i] \cup (comp_in[B_i] - comp_kill[B_i])$ ；以及 (b23)重複步驟(b22)，直到所有區塊的元件離開集合不再產生變化。

30. 12.如申請專利範圍第 7 項所述之元件流程分析方法，其中該步驟(a1)之首引決定的法則有三：

- (a11) 程式的第一個敘述即為一首引；
- (a12) 任何為條件跳躍(conditional goto)或無條件跳躍(unconditional goto)目標的敘述即為一首引；以及
- (a13) 任何跟在跳躍(goto)或條件跳躍(conditional goto)後的敘述即為一首引。
13. 如申請專利範圍第 1 項所述之元件流程分析方法，其中對不同的元件硬體設計，提供相對應的休眠功能，並以一臨界值 L_{const} 來判定是否將元件轉為休眠狀態。
14. 如申請專利範圍第 13 項所述之元件流程分析方法，其中若該元件提供開/關硬體設計，則該元件依指令或指令集的下達，切斷其電源之提供，使該元件從耗電狀態轉為不耗電狀態，且該 L_{const} 值依下列的成本模式決定：
- $$P(V) + SLEEP(V) \leq L_{const} * ACT(V);$$
- 依據此公式計算該 L_{const} 的最小值，其中， $P(v)$ 為該元件的尖峰電壓， $SLEEP(v)$ 為使該元件進入休眠狀態的電壓， $ACT(v)$ 為使該元件維持在活動狀態的電壓。
15. 如申請專利範圍第 13 項所述之元件流程分析方法，其中若該元件僅提供低耗電硬體設計，則該元件依指令或指令集的下達，降低其電源之提供，使該元件從耗電狀態轉為低耗電狀態，且該 L_{const} 值依下列的成本模式決定：
- $$P(v) + SLEEP(v) \leq L_{const} * [ACT(v) - LPOW(v)]$$
- 其中， $LPOW(v)$ 為該元件維持在低耗電狀態的電壓，以執行週期為單位，若元件連續處於休眠狀態的時間大於該 L_{const} 值，則在此連續時區之前插入休眠功能。

圖式簡單說明：

圖 1 為本發明之元件流程分析架構的方塊示意圖。

圖 2a 說明本發明之「控制流程圖」模組的細部流程。

圖 2b 為一個以 Alpha 機器碼語言撰寫的原始程式碼，作為「建立控制流程圖」模組 101 的輸入。

圖 2c 為圖 2b 之原始程式碼經圖 2a 之流程步驟後，產生的控制流程圖。

圖 3a 說明模組 102a 計算元件產生集合的細部流程。

圖 3b 例示一原始程式碼，作為本發明之「計算元件產生集合」的模組 102a 的輸入。

圖 3c 表示圖 3b 中指令與元件使用的對照表，作為本發明之「計算元件產生集合」的模組 102a 的輸入。

圖 3d 為圖 3b 與圖 3c 經圖 3a 之流程步驟後，產生的元件產生集合。

圖 4a 說明模組 102b 計算元件進入集合、消滅集合與離開集合的細部流程。

圖 4b 例示一原始程式碼，作為本發明之計算元件進入集合、消滅集合與離開集合的模組 102b 的輸入。

圖 4c 為圖 4b 之原始程式碼經過「建立控制流程圖」模組所輸出的原始程式控制流程圖。

圖 4d 為圖 4b 經模組 102a 計算元件產生集合所輸出的每個區塊的元件產生集合。

圖 4e 為由模組 102b 計算元件進入集合、元件消滅集合與元件離開集合」之步驟 401 所得到的初始元件進入集合、元件消滅集合及元件離開集合。

圖 4f 為經過 2 次本發明之模組 102b 計算元件進入集合、元件消滅集合與元件離開集合之步驟 402 後，所得到的元件進入集合、元件消滅集合

與元件離開集合。

圖 5a 說明本發明之「指令碼最佳化」模組的細部流程。

圖 5b 例示一元件的 L_{const} 值，作為本發明之「指令碼最佳化」模組的輸入。

圖 5c 為圖 4b 之原始程式碼經過本

發明之模組「計算元件進入集合、元件消滅集合與元件離開集合」102b 所輸出的每一個元件在每一個指令的狀態。

5. 圖 5d 為由本發明之「指令碼最佳化」模組所得到的輸出。

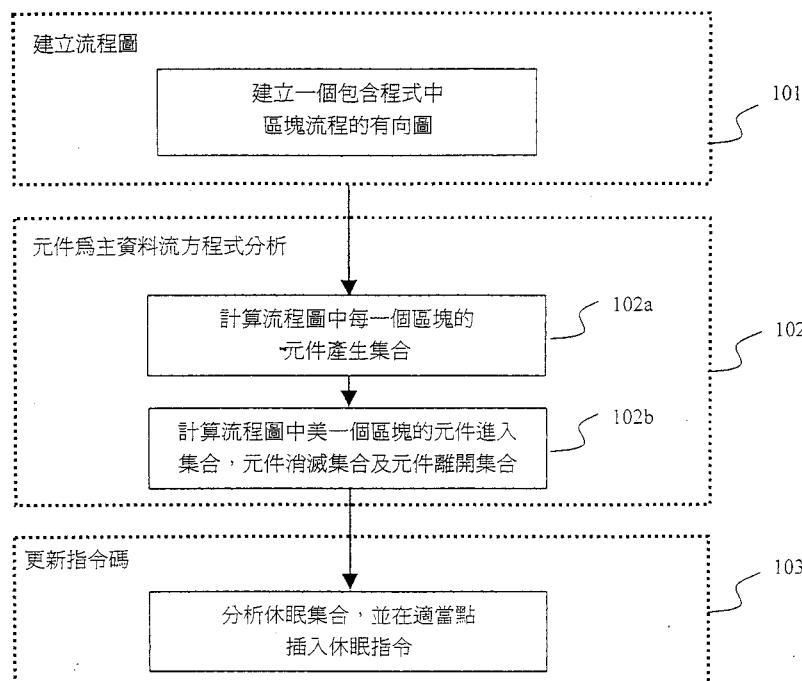


圖 1

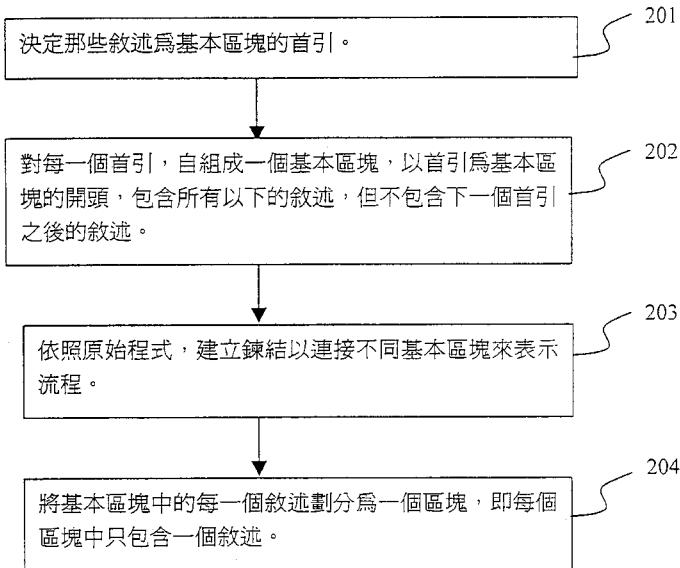


圖 2a

圖 2b

```

# [target_lib: "alpha"]
.sdata
.align 4
.align 0 # disable automatic alignment
.testTmp0:
.byte 37, 100, 10, 0
.file 2 "test.c"
.text
.align 4
.globl main
.loc 2 0
.ent main
main:
    ldgp $gp,0($27)
    lda $sp,-80($sp)
    stq $26,0($sp)
    stq $9,8($sp)
    .mask 0x04000200, -80
    .frame $sp, 80, $26, 64
    .prologue l,
    stq $gp,24($sp)
    .loc 2 4

```

```

ldil $1,0
mov $1,$9
main._testTmp1:
    ldil $1,10
    cmplt $9,$1,$1
    cmpeq $1,0,$1
    bne $1,main._testTmp2
    .loc 2 8
    mov $9,$17
    ldil $1,1
    addl $17,$1,$1
    mov $1,$9
    lda $16,_testTmp0
    lda $27,printf
    jsr $26,($27)
    ldq $gp,24($sp)
    br main._testTmp1
main._testTmp2:
    .loc 2 10
    ldil $0,12
    ldq $26,0($sp)
    ldq $9,8($sp)
    lda $sp,80($sp)
    ret ($26),1
    .end main

```

圖 2b(續)

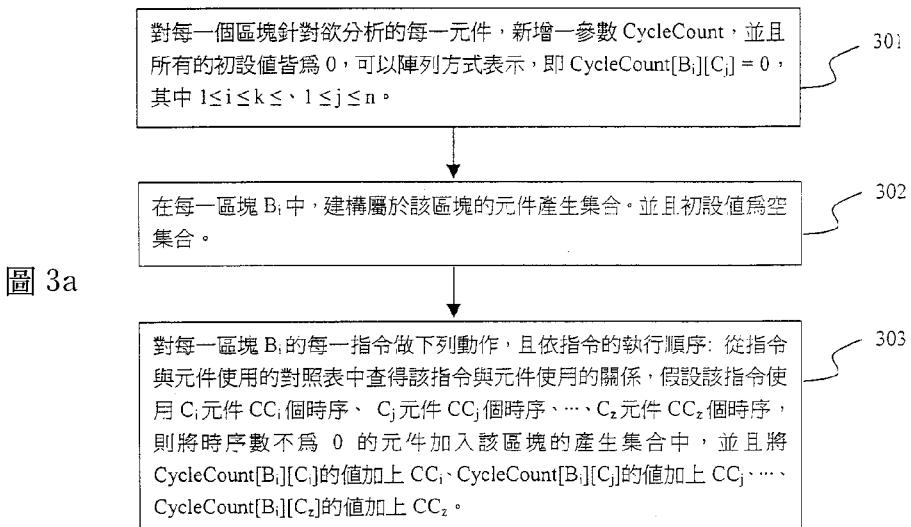
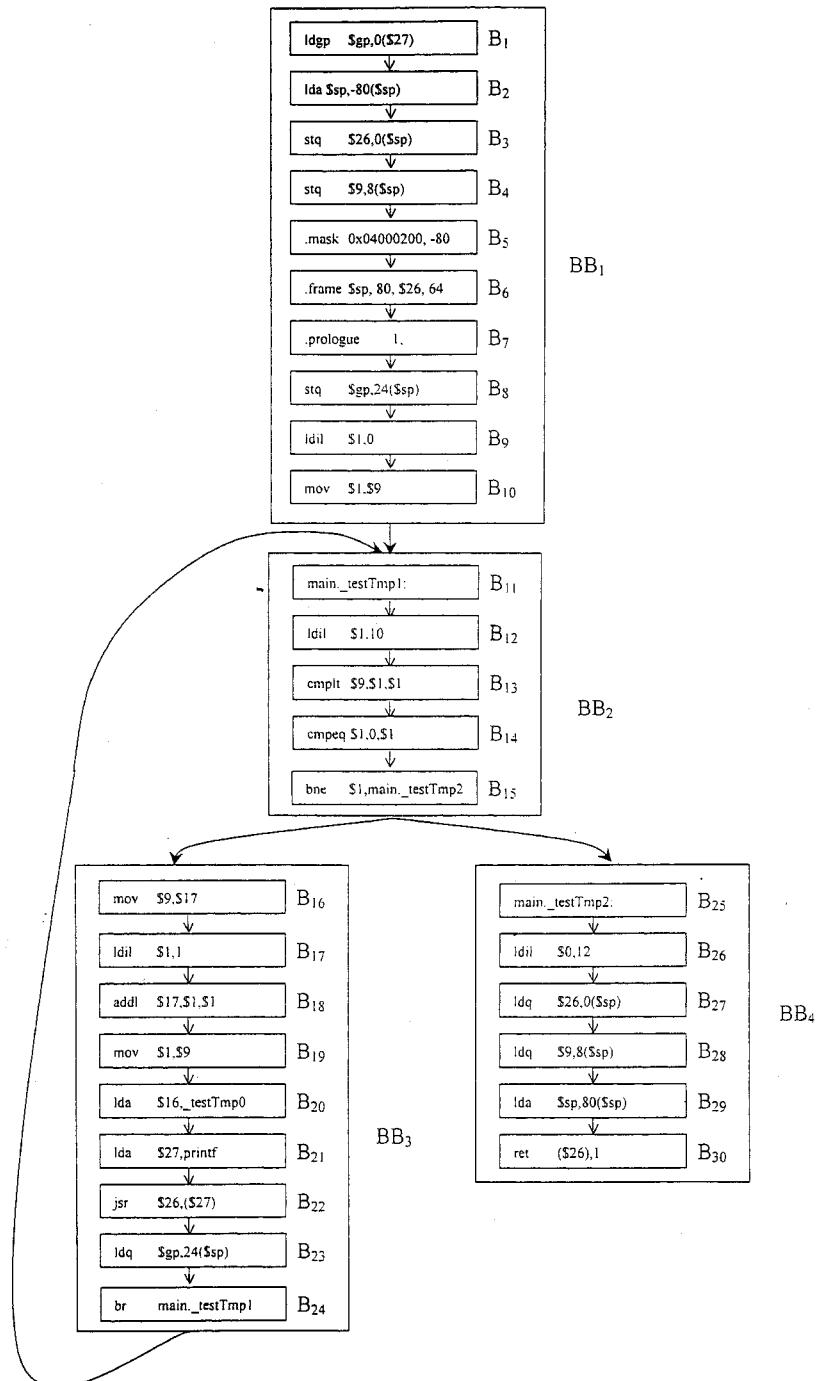


圖 3a



$B_1: I_6$
 $B_2: I_1$
 $B_3: I_2$
 $B_4: I_6$
 $B_5: I_4$
 $B_6: I_3$
 $B_7: I_5$
 $B_8: I_6$
 $B_9: I_4$
 $B_{10}: I_6$

圖 3b

指令	元件	執行時序
I_1	算術邏輯單位	3
I_2	乘法器	4
I_3	除法器	2
I_4	資料匯流排	1
I_5	算術邏輯單位	2
	資料匯流排	2
I_6	其他	-

圖 3c

區塊	時序數				元件產生 集合
	C_1	C_2	C_3	C_4	
B_1	0	0	0	0	null
B_2	3	0	0	0	C_1
B_3	0	4	0	0	C_2
B_4	0	0	0	0	null
B_5	0	0	0	1	C_4
B_6	0	0	2	0	C_3
B_7	2	0	0	2	C_1, C_4
B_8	0	0	0	0	null
B_9	0	0	0	1	C_4
B_{10}	0	0	0	0	null

C_1 : 算數邏輯單位, C_2 : 乘法器, C_3 : 除法器, C_4 : 資料匯流排

圖 3d

在每一區塊 B_i 中，建構屬於該區塊 B_i 的元件進入集合 $comp_in[B_i]$ 、元件消滅集合 $comp_kill[B_i]$ 及元件離開集合 $comp_out[B_i]$ ；元件進入集合 $comp_in[B_i]$ 與元件消滅集合 $comp_kill[B_i]$ 的初設值為空集合，元件離開集合 $comp_out[B_i]$ 的初設值為該區塊的元件產生集合 $comp_gen[B_i]$ 。

401

對每一區塊 B_i 做下列動作：

- (402a) 對每一個欲分析元件 C_j ，比較 B_i 的所有前區塊的 $CycleCount[B_i][C_j]$ 值，取其最大值，假設此最大值為 CC_{max} ，若 CC_{max} 不為 0，則將 CC_{max} 的值減 1，若減 1 後的值為 0，則將元件 C_j 加入該區塊的元件消滅集合 $comp_kill[B_i]$ 中。若 $(CC_{max} - 1)$ 的值大於 $CycleCount[B_i][C_j]$ 的值，則將 $CycleCount[B_i][C_j]$ 的值設為 $(CC_{max} - 1)$ 。
- (402b) 將該區塊的元件進入集合 $comp_in[B_i]$ 設為該區塊所有前區塊的元件離開集合 $comp_out[B_i]$ 的聯集，亦即 $comp_in[B_i] = \cup comp_out[P]$ ，其中 P 為 B_i 的前區塊。
- (402c) 將該區塊的元件離開集合 $comp_out[B_i]$ 設為該區塊元件元件進入集合 $comp_in[B_i]$ 與元件消滅集合 $comp_kill[B_i]$ 的差集後，再與元件產生集合 $comp_gen[B_i]$ 作聯集，亦即 $comp_out[B_i] = comp_gen[B_i] \cup (comp_in[B_i] - comp_kill[B_i])$ 。

402

圖 4a

重複步驟 402，直到所有區塊的元件離開集合不再產生變化。

403

圖 4b

 I_6 I_1 I_4 I_2 I_6 I_6 I_4 I_3 I_6 I_1 I_6 I_3 I_4 I_6

(11)

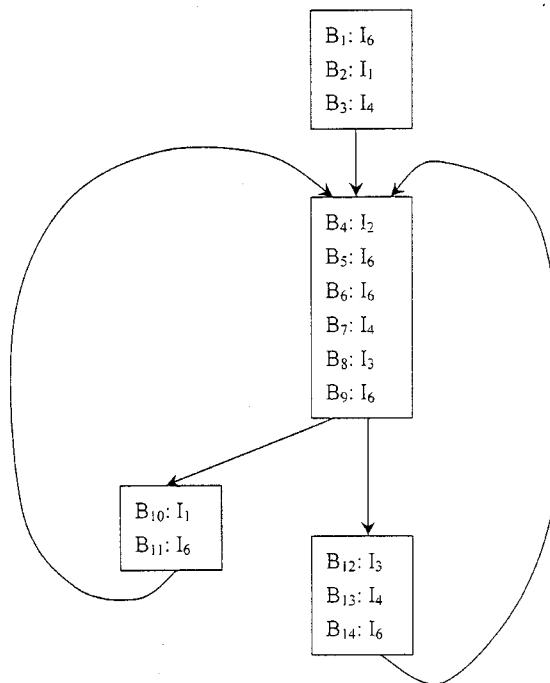


圖 4c

區塊	元件產生集合
B_1	null
B_2	C_1
B_3	C_4
B_4	C_2
B_5	null
B_6	null
B_7	C_4
B_8	C_3
B_9	null
B_{10}	C_1
B_{11}	null
B_{12}	C_3
B_{13}	C_4
B_{14}	null

圖 4d

C_1 :算術邏輯單位, C_2 :乘法器, C_3 :除法器, C_4 :資料匯流排

區塊 B_i	起始值		
	comp_in[B _i]	comp_kill[B _i]	comp_out[B _i]
B_1	0000	0000	0000
B_2	0000	0000	1000
B_3	0000	0000	0001
B_4	0000	0000	0100
B_5	0000	0000	0000
B_6	0000	0000	0000
B_7	0000	0000	0001
B_8	0000	0000	0010
B_9	0000	0000	0000
B_{10}	0000	0000	1000
B_{11}	0000	0000	0000
B_{12}	0000	0000	0010
B_{13}	0000	0000	0001
B_{14}	0000	0000	0000

圖 4e

區塊 B_i	第一週期			第二週期		
	comp_in[B _i]	comp_in[B _i]	comp_in[B _i]	comp_in[B _i]	comp_kill[B _i]	comp_out[B _i]
B_1	0000	0000	0000	0000	0000	0000
B_2	0000	0000	1000	0000	0000	1000
B_3	1000	0000	1001	1000	0000	1001
B_4	1001	0001	1100	1001	0001	1100
B_5	1100	1000	0100	1100	1000	0100
B_6	0100	0000	0100	0100	0000	0100
B_7	0100	0000	0101	0100	0000	0101
B_8	0101	0101	0010	0101	0101	0010
B_9	0010	0000	0010	0010	0000	0010
B_{10}	0010	0010	1000	0010	0010	1000
B_{11}	1000	0000	1000	1000	0000	1000
B_{12}	0010	0010	0010	0010	0010	0010
B_{13}	0010	0000	0011	0010	0000	0011
B_{14}	0011	0011	0000	0011	0011	0000

圖 4f

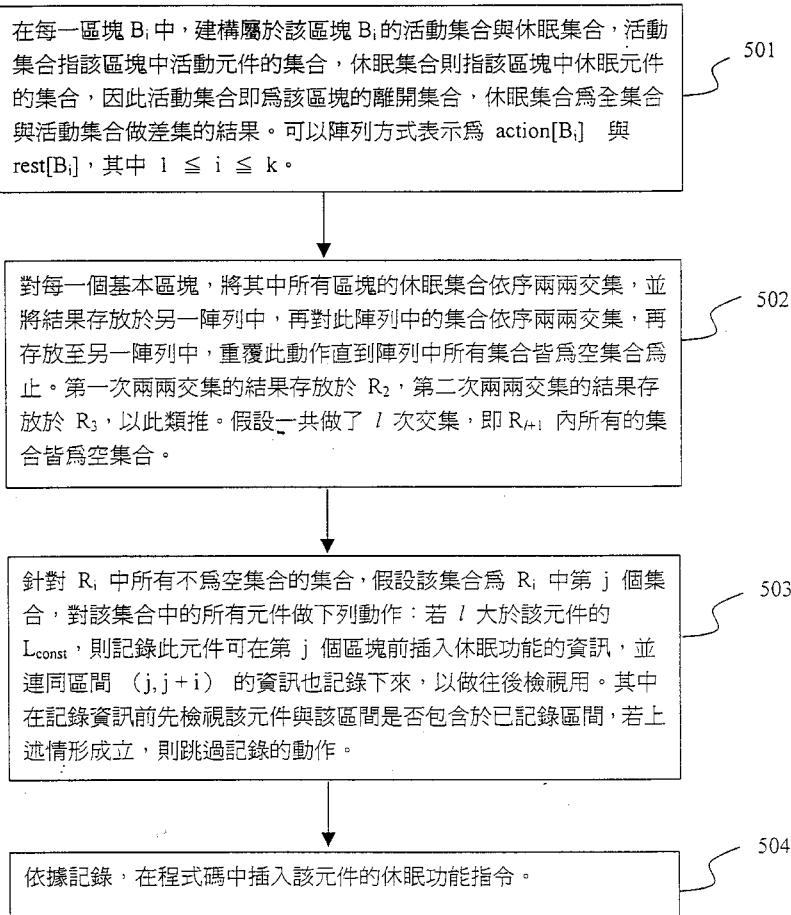


圖 5a

臨界值	元件			
	算術邏輯單位	乘法器	除法器	資料
L_{const}	4	2	3	6

圖 5b

區塊 B_i	元件				休眠集合
	算術邏輯單位	乘法器	除法器	資料匯流排	
B_1	休眠	休眠	休眠	休眠	1111
B_2	活動	休眠	休眠	休眠	0111
B_3	活動	休眠	休眠	活動	0110
B_4	活動	活動	休眠	休眠	0011
B_5	休眠	活動	休眠	休眠	1011
B_6	休眠	活動	休眠	休眠	1011
B_7	休眠	活動	休眠	活動	1010
B_8	休眠	休眠	活動	休眠	1101
B_9	休眠	休眠	活動	休眠	1101
B_{10}	活動	休眠	休眠	休眠	0111
B_{11}	活動	休眠	休眠	休眠	0111
B_{12}	休眠	休眠	活動	休眠	1101
B_{13}	休眠	休眠	活動	活動	1100
B_{14}	休眠	休眠	休眠	休眠	1111

圖 5c

區塊 B_i	休眠集合	R_2	R_3	R_4	R_5	R_6
B_1	1111	0111	0110	-	-	-
B_2	0111	0110	-	-	-	-
B_3	0110	-	-	-	-	-
B_4	0011	0011	0011	0010	0000	0000
B_5	1011	1011	1010	1000	1000	
B_6	1011	1010	1000	1000	-	-
B_7	1010	1000	1000	-	-	-
B_8	1101	1101	-	-	-	-
B_9	1101	-	-	-	-	-
B_{10}	0111	0111	-	-	-	-
B_{11}	0111	-	-	-	-	-
B_{12}	1101	1100	1100	-	-	-
B_{13}	1100	1100	-	-	-	-
B_{14}	1111	-	-	-	-	-

圖 5d